

①

平成17年7月5日

整理番号:9995336

発送番号:249401 発送日:平成17年7月5日

1

拒絶理由通知書

特許出願の番号

特願2000-105897

起案日

平成17年7月1日

特許庁審査官

西島 篤宏

9308 2G00

特許出願人代理人

久保 幸雄 様

適用条文

第29条第1項、第29条第2項

受付

'05.7.-5

春風特許事務所

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理由

1. この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。
2. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記

理由 1, 2

・請求項 1-13

- ・刊行物 A. 特開昭50-114119号公報 ①-1
- B. 特開平05-216433号公報 ①-2
- C. 特表2000-502813号公報 ①-3
- C. 特開平06-195038号公報 ①-4
- D. 特開2000-011894号公報 ①-5

(備考)

請求項1-8, 11について

上記刊行物A乃至Cには、表示ラインを構成するセルの組み合わせをフィールド毎に入れ換えて表示を行うようにしてなる表示装置に関する発明が記載されている。よって、上記請求項に係る発明は、上記理由1, 2により特許性を有して

いるとは認められない。

請求項 9-10について

ノンインターレース信号を変換してインターレース表示を行うような構成は、例えば、上記刊行物Dに示されているようによく知られた技術にすぎないことから、上記理由2により特許性を有しているとは認められない。

請求項 12-13について

広大部と狭窄部とが交互に並ぶようなセル配置も、例えば、上記刊行物Eに示されているようによく知られた技術にすぎないことから、上記理由2により特許性を有しているとは認められない。

先行技術文献調査結果の記録

- ・調査した分野 I P C 第7版
 - ・G 09 G 3/00-3/38
- ・先行技術文献
 - ・特開2000-357463号公報
 - ・特開昭60-033586号公報
 - ・特開平09-044120号公報
 - ・特開昭62-236281号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知書の内容に問い合わせがある場合、又は、この案件について面接を希望する場合は、特許審査第1部ナノ物理、西島篤宏までご連絡下さい。

(Tel. 03-3581-1101 (ex. 3225) Fax. 03-3592-8858)

(Y 2,000)

特許願 (B)

吸記なし

昭和 49 年 2 月 11 日

特許庁長官 斎藤英雄 殿

1. 発明の名称

ガソウヒヨウジカウシキ
圖像表示方式

2. 発明者

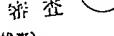
セタガヤクセタ
東京都世田谷区砧一丁目10番11号
ニジポンホウセキヨウカインソウゴウキシエンキユウジ
日本放送協会総合技術研究所内
カネコリュウイチ
金子隆一 (ほか2名)

3. 特許出願人

東京都渋谷区神南二丁目3番1号

(435) 日本放送協会
会長小野

方式審査



4. 代理人

居所 東京都千代田区霞が関3丁目2番1号
郵便番号 100
福山ビルディング7階 電話 (581) 2241番 (代表)(5925) 氏名 弁理士 杉村 晓秀
(ほか1名) 印押

49-018328

明細書

1. 発明の名称 図像表示方式

2. 特許請求の範囲

多数の表示用電極群と走査用電極群の交点に介挿された発光素子が表示用画素点となり、その画素点は、奇数番目の表示用電極群と奇数番目の走査用電極群の組み合せにより発光するようとした第1の表示用画素点群と、偶数番目の表示用電極群と偶数番目の走査用電極群の組み合せにより発光するようとした第2の表示用画素点群とから構成した図像表示パネルにより図像表示するに当り、前記表示用電極群には特定周期により交互に表示用信号を供給するとともに隣接する奇偶数番目の走査用電極を接続して同時に走査するようにし、正規の表示用信号が供給されない表示用画素点はその画素点の周囲任意の表示用画素点に供給する表示用信号を適当な割合で合成して得た補間用信号によって発光せしめることによりインターレース表示時における表示画像の輝度の低下を補うようにしたことを特徴とする図像表示方式。

⑯ 日本国特許庁

公開特許公報

⑯特開昭 50-114119

⑯公開日 昭50(1975)9.6

⑯特願昭 49-18328

⑯出願日 昭49(1974)2.15

審査請求 未請求 (全10頁)

庁内整理番号 7013 54

7170 59

7323 56

7520 54

⑯日本分類

97(6)F3

97(7)B4

99G5

101E0

⑯Int.C12

H04N 5/66

H01J 17/48

G06K 15/18

3. 発明の詳細な説明

本発明は図像表示方式、特に気体放電表示パネルを用い、インターレース表示を行なつた図像表示装置の画面輝度を増加させる新規な図像表示方式に関するものである。

従来、気体放電表示パネルを用いた図像表示装置においては、通常のテレビジョン信号を入力としてインターレースした画面を表示する場合、入力信号の1フレームを構成する2フィールドのうちの第1のフィールドにおいては画面上の横方向の各行のうち1行おきに発光させ、続く第2のフィールドにおいては前フィールドに発光しなかつた他の1行おきの各行を発行させるような駆動法を用いている。この點、1行内の全画素を同時に発光させる線同時駆動方式が一般的に採用されているが、この点を除けば上記インターレース駆動法は現行テレビジョン標準方式をうるための撮像管の走査に対応しているためそれを対象とする場合は入力信号によく適合した方法であると言える。

しかしながら、上記駆動法によると、各フィー

・ルドにおいて、常に全体の半分の画素は発光することができない。すなわち、輝度の点で本来表示パネルがもつている能力の半分しか利用されていないこととなる。

本発明の目的は、従来のインターレース駆動を行なつた場合に比して2倍以上の画面輝度が得られるように、全フィールドにおいて全画素が発光し得るようとした画像表示方式を提供せんとするにある。

以下、本文においては本発明を気体放電表示パネルを用いた画像表示装置に適用した場合について説明するが、ELや発光ダイオードなどを用いた表示素子のように行おおよび列の交点の画素がアドレスされる型式のすべての表示パネルに適用できるものである。

以下図面を参照して本発明を説明する。

気体放電表示パネルの代表的な画素配列としては第1図(a)のような格子状のもの、第1図(b)のような千鳥型のものがある。同図でD1($i = 1, 2, \dots$)は表示パネルの横方向の電極を表わし、表示電極

→ (3)

を $2 : 1$ とした場合であり、一般的には $2 : 1$ 以上のインターレース比の場合にも適用することができる。第1図(b)においては、画素配列は第1図(a)の場合と同じであるが、表示電極の構成が異なり、本発明を適用する対象となる。以下、インターレース比は $2 : 1$ として説明する。

第3図は従来のインターレース表示法を示す。同図(a)および(b)は第1図(a)の画素配列をもつ表示パネルの各フィールド(第3図(a)は第1フィールド、第3図(b)は第2フィールド)における発光、第3図(c)および(d)は第1図(b)の画素配列における各フィールド(第3図(c)は第1フィールド、第3図(d)は第2フィールド)の発光の様子を表し、○印は各フィールドにおいて発光する画素、×印はそのフィールドでは発光しない画素を示す。このように従来のインターレース表示法では、1フィールド内においては全画素のうち半分は発光していない。

第4図は第1図(b)の画素配列をもつ表示パネルを用いた場合の本発明による表示法を示し、第4

と称する。S1は横方向電極を示し、走査電極と称する。直流放電表示パネルにおいてD1が陽極となる構成の場合S1は陰極であり、D1が陰極ならばS1は陽極である。S1とD1の交点に付した○印は画素を示す。

単色表示パネルの場合、第1図の画素配列はそのまま放電ユニットの配列となる。カラー表示パネルの放電ユニットの配列例を第2図に示す。第1図(b)の画素配列としては例えば第2図(e)の放電ユニット配列があり、第1図(a)に相当するものは第2図(b), (c), (d)などがある。点線の円は画素を示し、またR, G, Bはそれぞれ原色のうちの一つに対応する表示電極であることを示す。

さらに第2図(e)の表示電極は、印の点以外は電極として動作しないものとする。

本発明を適用する第1図(b)のようには接する2本の走査電極上の全画素に対して独立に表示電極が引出されている構成のものとし、第1図(a)のようには接する2本の走査電極上の複数個の画素に対して表示電極が共通に用いられているものを除く。ここに、接する2本の走査電極をとつたのはインターレース比

(4)

・図(a)は入力信号が第1フィールドのとき、第4図(b)は第2フィールドのときの発光の様子である。各フィールドにおいて、表示時間入力には大きな○印に相当する信号しかなく、小さな○印に相当する入力信号はない。したがつて、本発明においては○印に相当する信号を後述するように補間して表示し、その信号を表示装置内に発生させる。第4図に示すように、本発明においてはどの入力フィールドでも全画素を発光させる。

次に表示パネルの駆動法について述べるが、走査電極の方向に沿つた線同時駆動法を用いるものとする。すなわち、選択した走査電極上の画素に当する表示電極をすべて並列に駆動するものとする。但し、「選択」とは走査電極を多相駆動することによって1または2走査電極のみが実効的に選択される場合も含む。

第3図に示した従来のインターレース表示を行なう駆動法を第5図に、また第4図に示した本発明による表示法を行なう駆動法を第6図に示した。第5図は第3図(a)および(b)の表示を行なう駆動

→ (5)

-124-

(6)

法で、第1フィールド走査スイッチ SW₁ または第2フィールド走査スイッチ SW₂ により走査電極 S₁, S₂ ……が1本だけ選択され、このスイッチと表示電極駆動回路 Od を通して放電ユニットに電圧が印加される。この場合、変調信号入力 I_B に従つて各放電ユニットの発光が制御される。走査スイッチ SW₁ または SW₂ は走査回路の行アドレス機能を等価的に示したもので、前述のように多相駆動によるアドレス機能も含める。第1フィールドにおいては走査スイッチ SW₁ により走査電極 S₁, S₃, S₅ ……が順次選択され、この間走査スイッチ SW₂ は OFF の状態にしておく。第2フィールドにおいては走査スイッチ SW₂ で走査電極 S₂, S₄, S₆ ……を順次選択する。走査スイッチ SW₁, SW₂ および表示電極駆動回路 Od はバネル電源 V によつて駆動する。

第3回(c)および(d)の表示は第5回(d)と全く同様な駆動法により得られるが、この場合はさらに第5回(d)のようにならに変形することができる。第5回(d)では隣接する表示電極 D₁, D₂, D₃ ……がすべて

(7)

を示すものには同一符号を付して示す。以下の説明は簡単のために第6回(d)のみを対象にして行なう。

次に、本発明表示方式を適用する表示装置の系統図の一例につき簡単に説明したのち、第6回(d)の駆動法を実施するために必要な信号を発生させる方法を述べる。

本発明表示方式を適用する表示装置の一例を第7回に示した。同回において、入力映像信号(1)はまず入力変換回路 2 に入り、処理回路 3 を通して第1ラインメモリー 4 に順次蓄えられる。処理回路 3 は、すでに説明を行なつた第4回の小さな印に相当する信号を補間するために発生する回路で本発明による表示法に特有な回路である。入力映像信号(1)の1水平走査周期 H の間に第1ラインメモリー 4 に蓄えられた全情報は H ごとに並列的に第2ラインメモリー 5 に転送され、次の転送までの間保持される。第2ラインメモリー 5 の出力は駆動変換回路 6、表示電極駆動回路 7 を経て表示パネル 8 における全表示電極 D₁, D₂, D₃ ……

9

-125-

共通に駆動されているが、走査スイッチ SW₁ または SW₂ で選択された1行の表示電極のみが発光する。以上のように、第5回の駆動法はいずれの例においても第1フィールドには奇数行走査電極 S₁, S₃ ……上の画素のみを、第2フィールドには偶数行走査電極 S₂, S₄ ……上の画素のみを発光させる。

本発明による表示法は第6回(d)の駆動法に適用する。すなわち、第1フィールドにおいても、第2フィールドにおいても、走査電極 S₁ と S₂, S₃ と S₄, ……など隣接する2本の走査電極を同時に選択し、しかも選択された2本の走査電極上の全放電ユニットを独立に駆動して2行の画素を同時に発光させる。第6回(d)は第6回(d)を若干変形した駆動法で、走査スイッチ SW₁ および SW₂ を同時に動作させて特定の2本の走査電極 S₁, S₂ ……を選択する例である。この方法によれば第1フィールドには S₁ と S₂, S₃ と S₄, ……などを組合せ、第2フィールドには S₂ と S₃, S₄ と S₅, ……を組合せせる。などのように組合せを変えることができる。なお第6回で第5回と同一部分

(8)

を駆動する。第1ラインメモリーの出力以降の複数矢印は、表示電極数と同数の並列回路であることを示す。

一方、入力信号の一部は同期分離回路 9 に与えられて分離同期信号を得、これをもとにタイミング発生回路 10 で他の各部の動作を規制する各種のタイミングパルス、例えば走査タイミングパルス (P₁) およびデータ転送パルス (P₂) 等を発生する。そのうちの走査タイミングパルス (P₁) は、SW で表わされる走査回路に供給し、この走査回路によつてラインメモリー 4 から 5 へのデータ転送と同期して表示パネル 8 の走査電極 S₁, S₂, S₃ ……の選択を行なう。

入力変換回路 2 および駆動変換回路 6 は情報の形態を変換する回路で、ラインメモリー 4 および 5 のコンデンサメモリー、BBD (Bucket Brigaded Device) などアナログ电压を記憶する形式のものを使用する場合には入力変換回路 2 を必要としないが、デジタルメモリーを使用し ROM 信号を記憶する場合は入力変換回路 2 として A-D:

10
回路

・変換回路が必要となる。次に駆動変換回路 6 としては、ラインメモリー 4 および 5 にアナログ電圧メモリーを用い、表示パネル 8 の輝度変調法として放電電流を制御する場合には電圧-電流変換回路が必要となるが、トランジスタなどの使用により駆動変換回路 6 と表示電極駆動回路 7 を兼ねることができる。アナログ電圧メモリーと PWM 輝度変調を用いる場合には電圧制御モノステーブルマルチバイブレーターなどの電圧-パルス幅変換回路を、またアナログ電圧メモリーと PWM 輝度変調を用いる場合には PWM 変調器をそれぞれ駆動変換回路 6 として用いればよい。さらに、デジタルメモリーを用い、放電電流制御による輝度変調を行なう場合の駆動変換回路 6 には D-A 変換器を用い、デジタルメモリーと PWM または PWM 輝度変調の組合せに対してはプリセットカウンタを駆動変換回路 6 として使用し PWM を PWM または PWM に変換できる。最後の例においては第 1 ラインメモリー 4 のみ使用し、第 2 ラインメモリー 5 は省略できる。以上の例では処理回路

(11)

上記機能を有する回路を系統図で示せば第 5 図(a)のようになる。同図で異種フィールド信号とは第 7 図の小さな印に相当する信号で入力信号が第 1 フィールドのときは表示装置内で入力第 1 フィールド信号と時間的に並列的に発生した第 2 フィールド信号に相当する信号であり、入力が第 2 フィールドのときは装置内で入力第 2 フィールド信号と並列的に発生した第 1 フィールド信号に相当する信号のことであり、この信号は異種フィールド信号発生回路 11 により発生する。処理用メモリー 12 は異種フィールド信号を発生するために選択回路として用いるメモリーで、1 フィールドメモリーを用いる方法と 1 ラインメモリーを用いる方法がある。

第 5 図(a)の処理回路出力をデータスイッチ SWD を介して第 1 ラインメモリー 4 に記憶すると、第 7 図の系統図に示したようにそれ以後は表示電極 D₁、D₂、D₃ ……まで並列にデータが伝達されるので、処理回路出力信号は表示電極の配置に応じた画素配列になつていなければならぬ。これを

3 とラインメモリー 4 および 5 内の情報の形態が同一である場合について述べたが、これが異なる場合は両者の間に変換回路が必要である。なお、ラインメモリー 4 および 5 は通常の駆動法では各々表示パネル 8 の 1 行分の画素数だけの容量があればよいが、本発明を適用する駆動法では 2 行同時駆動を行なうので、2 行分ずつの記憶容量が必要となる。

次に第 7 図に示した処理回路 3 の原理、構成法および動作につき記載する。この回路の機能は、入力信号が第 1 フィールドのときには第 2 フィールドに相当する信号を発生し、また入力信号が第 2 フィールドのときには第 1 フィールドに相当する信号を発生した上、これら装置内で発生した信号の画素と入力信号の画素とを表示電極 D₁、D₂、D₃ ……の順番に従つて配設した信号に変形して第 1 ラインメモリー 4 に供給することである。但し、入力変換回路 2 の前後で情報の内容に変化はないので、ここでは表示装置入力信号と処理回路入力を同一視する。

(12)

さらに詳しく説明すると、この画素配列は第 4 図(b)および(c)の上 2 行を参照すれば第 9 図に示すと示すとすればといふことがわかる。すなはち、入力信号が第 1 フィールドのときにはラインメモリーの 1、3、5、…… 複地に入力信号を、2、4、6、…… 複地に異種フィールド信号を蓄え、入力信号が第 2 フィールドのときには反対に奇数複地に異種フィールド信号を、偶数複地に入力信号をそれぞれ蓄えてメモリーのアドレスと同番号の表示電極を駆動する。但し表示パネル上の画素番号は表示電極番号と同一とする。

第 9 図に示す表のメモリーアドレスは第 5 図の処理回路出力信号の水平走査周期 H 内における画素番号とみても上く、結局第 9 図のデータスイッチ SWD を第 9 図の表に従つて画素ごとに切かえればよい。第 10 図は信号の H 内のタイミング(画素番号で表わしたタイミング)と画面上の画素位置との対応関係を示し、第 10 図(b)は第 1 フィールド入力時を、第 10 図(b)は第 2 フィールド入力時ににおける関係を示す。

第8図(a)と多少異なり、アナログ信号に適する第9図(b)に示す方法も可能である。第9図(b)では第1ラインメモリー4を $\#_1$ と $\#_2$ の2個に分割し、それぞれ入力信号と異種フィールド信号を別々に蓄込む。信号の種類とメモリーの対応はデータスイッチSW_Dによりフィールドごとに入れかえる。図案の配列はメモリー4からメモリー5への接続によつて行なう。さらにラインメモリー5以降表示電極駆動回路7まで2系統に分割しても差支えない。アナログ電圧メモリーは蓄込みのときに信号がサンプリングされるものが多いので第9図(b)の方法が適している。

次に異種フィールド信号の具体的な発生法を述べるが、これには第10図の処理用メモリー12として1フィールドメモリーを用いる方法と1ラインメモリーを用いる方法があり、これらの場合について以下説明する。

第11図は入力信号の画素を2次元的に配備したもので、横方向は入力信号のライン番号NL、縦方向は信号の画素番号NPに従つて配置してあり、

したがつて横幅ともそれぞれの単位で表わした時間を示している。NL=1, 2, 3 ……上の画素は第1フィールド、NL=264, 265 ……上の画素は第2フィールドの信号である。第11図中に示したNLと走査電極S₁との対応に従い、走査電極S₁上の画素はNL=1の信号により、またS₂上の画素はNL=264の信号に駆動することが要求される。ところが第6図(a)または第7図に示したようにS₁とS₂, S₃とS₄ ……などのように走査電極は2本ずつ組になつて接続されているので、例えばS₁とS₂上の画素は同時刻に駆動されなければならない。そのために入力信号が第1フィールドのとき前フィールドのNL=264の信号を略々1フィールド遅延させてNL=1と同時刻にそろえる。正確な所要遅延時間は(1+525-264)H=262Hである。同様に入力信号が第2フィールドのときには、例えばNL=1の信号を略々1フィールド遅延させてNL=264の信号と同時刻にそろえる。遅延時間は(264-1)H=263Hである。

(16)

スイッチSW_Dにより両出力をフィールドごとに切替えてこれを異種フィールド信号とする。この信号は第13図(a), (b)-(6)のようになるので、(4)と(6)を第12図のスイッチSW_Dでサンプリングバルスの0, 1に従つて切替えて処理回路出力(第9図(a), (b)-(6))を得る。ラインメモリー4の蓄込クロックバルスまたはシフトレジスタを用いる場合のシフトバルスには $40/2$ を用いる。なお第13図(a)および(b)の(4)と(2)、すなわちフィールドメモリー入力POMとシフトバルス40の時間関係は第1フィールドと第2フィールドでは $40/2$ だけ異なる。そのため、第2フィールド信号の遅延時間はHの整数倍より $40/2$ 減少するとしている。

次に1ラインメモリーを用いた異種フィールド信号発生法について説明する。この方法においては前フィールド信号は用いず、統く2ラインの入力信号より内挿処理によつて画面上の位置としてはそれら2ラインの中間に来るべき信号を近似的に発生する。内挿処理は画素の荷重加算により実現する。第14図は第11図と同様の表現により入力

(17)

-127-

(18)

2

信号を2次元的に表わした図である。第14図(a)は第1フィールドの信号で、あるNL(図ではNL=2)の画素を1', 3', 5'……で表わし、そのIH前の画素を1', 3', 5'……であらわす。1ラインメモリーを用いた異種フィールド信号発生法においては、第2フィールドの信号としてこれらの中間に来るべき信号、例えば第14図(a)に点線で示した位置に来るべき2という画素を、第1フィールドの4画素1', 3', 5', 3'の平均値で近似する。この原理に基く処理回路は例えば第15図の構成で実現でき、この回路は第16図(a)および(b)に示すタイムチャートに従つて動作する。第14図(a)の上記4画素のうちで、時間的に最も遅れている画素は3'であるから、平均値をとる処理を行なうためには画素1', 3', 1'を画素3'同一タイミングまで遅延させる必要がある。すなわち、画素1'を1画分の時間40だけ1画素遅延回路14により遅延させ、3'をIH遅延回路15によりIH遅延させ、また1'をIH遅延回路15および1画素遅延回路16によりIH+40だけそれぞれ遅延線を

・む点が特長である。第15図の回路はデジタル信号 IC 適した構成であるが、スイッチ SW2 を省略し、第5図(b)の構成をとればアナログ信号にも適用できることは明らかである。なお、第15図の方法は第12図の方法に比べて出力信号が 1/4 周期分だけ遅れているので、ラインメモリーレベルへ書込むときにアドレスを調整する必要がある。

(a) - (b) のように図素 3, 1, 3', 1' が同時にそろい、演算処理を行なうことができる。第 15 図の各部に記した番号 <1> は、入力信号が図素 3 のときの各部の信号の図素番号を示す。次にこれら遅延時間の異なる 4 種の信号を加算回路 17、4 分除算回路 18 に加えて 4 図素の平均値を得、これを異種フィールド信号とする。入力信号が図素 3 のとき、第 14 図 (a) の図素 2 を近似した信号が図素 3 のタイミングで得られる。さらに、第 12 図の場合と同様にスイッチ SWD で異種フィールド信号を切替えて第 16 図 (b) - (e) のように表示電極配線に対応した処理回路出力信号を得る。第 2 フィールドにおいても第 16 図 (b) のように同様の結果を得る。以上は内挿処理として荷重加算の最も簡単な場合である単純平均をとる場合を例示した。ラインメモリーによる異種フィールド信号発生法は表示画像のエッジ部分がやや劣化するが、実用上殆んど認められない場合が多く、フィールドメモリーを使ひ方法に比べてメモリー容量が少なくてす

— (20)

ス表示法の2倍(2:1)インターレの輝度を得るようとしたものである。

上述した本発明によれば気体放電表示パネルを用いた画像表示装置の画面輝度を、従来のインターレース駆動法を用いた場合（インターレース比2:1のとき）2倍にできる。

本発明は上述した例のみに限定されるものではなく、幾多の変更を加え得るものであり、また、行おおよび列電極の交点の画素を選択する構成、すなわち行列アドレスによる画素表示素子、たとえばESLや発光ダイオードで構成した表示素子を用いた画素表示装置にも適用することができる。

各図面の簡単な説明

第1図は気体放電表示パネルの画素配列を示す説明図、第2図はカラー表示パネルの放電ユニットの配列例を示す説明図、第3図は従来のインターレース表示法による表示パネルの各フィールドにおける発光の様子を示す説明図、第4図は本発明画像表示方式による表示パネルの各フィールドの発光の様子を示す説明図、第5図は従来のイ

(2)

(22)

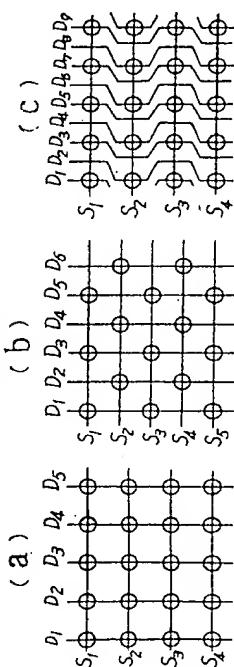
ンターレース表示を行なう駆動法の一例を示す系統図、第6図は本発明による表示方式に適用する駆動法を示す系統図、第7図は本発明方式を適用する表示装置の一例を示す系統図、第8図(a)および(b)はそれぞれ第7図の表示装置に適用する処理回路を示す系統図、第9図は各部の圖案番号および信号の種類の対応を示す表、第10図は各信号の時間的関係および画面上の画面位置との対応関係を示す説明図、第11図は入力信号のライン番号と走査電極との対応関係を示す説明図、第12図はフィールドメモリーを用いた処理回路の一例を示す系統図、第13図(a)および(b)は第12図の場合における入力信号がそれぞれ第1および第2フィールドのときのタイムチャート、第14図は異種フィールド信号の内挿位置関係を示す説明図、第15図はラインメモリーを用いた処理回路の一例を示す系統

図、第16図(a)および(b)は入力信号が第1フィールドとその第2フィールドとのときのタイムチャートである。

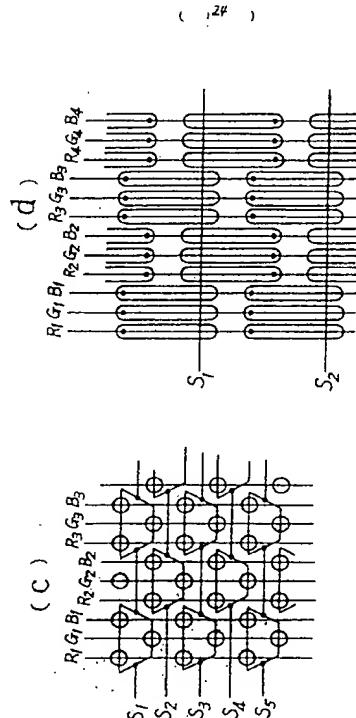
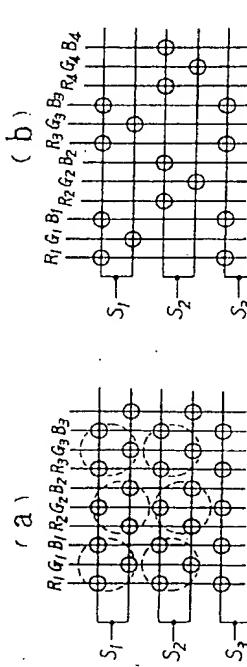
$D_1, D_2, D_3, \dots, D_n$ … 表示電極、 $S_1, S_2, S_3, \dots, S_n$ … 走査電極、 SW_1 … 第1フィールド走査

査回路、 SW_2 … 第2フィールド走査回路、 Cd … 表示電極駆動回路、 I_6 … 混調信号入力、 V … ベネル電源、 (1) … 入力映像信号、 (2) … 入力変換回路、 (3) … 処理回路、 (4) … 第1ラインメモリー、 (5) … 第2ラインメモリー、 (6) … 駆動変換回路、 (7) … 表示電極駆動回路、 (8) … 表示パネル、 (9) … 同期分離回路、 P_1 … 走査タイミングパルス、 P_2 … データ転送パルス、 SW … 走査回路、 (10) … 異種フィールド信号発生回路、 (11) … 処理用メモリー、 SW_D … データスイッチ、 (12) … フィールドメモリー、 (13) … 1画面遅延回路、 (14) … 1行遅延線、 (15) … 加算回路、 (16) … %除算回路。

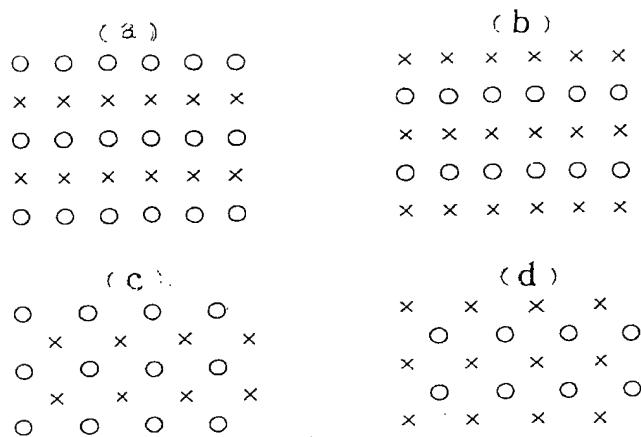
第1図



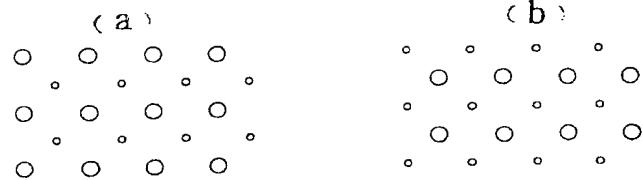
第2図



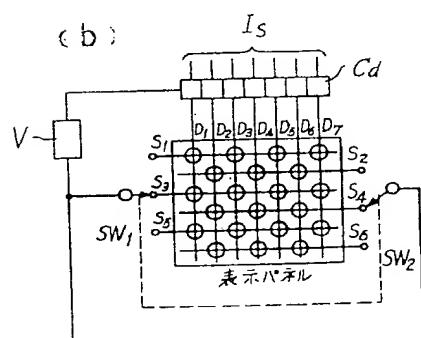
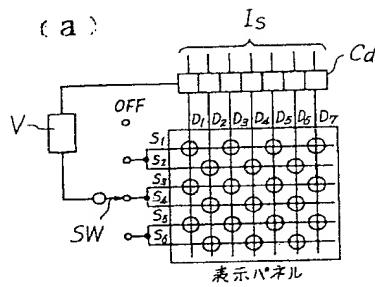
第3図



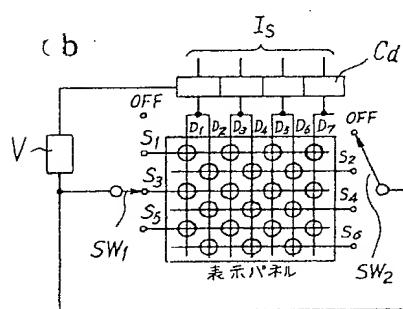
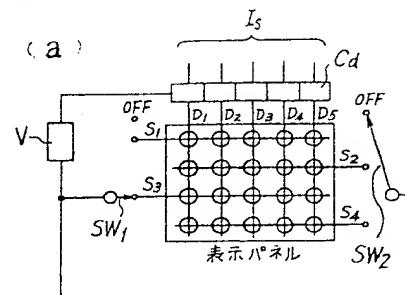
第4図



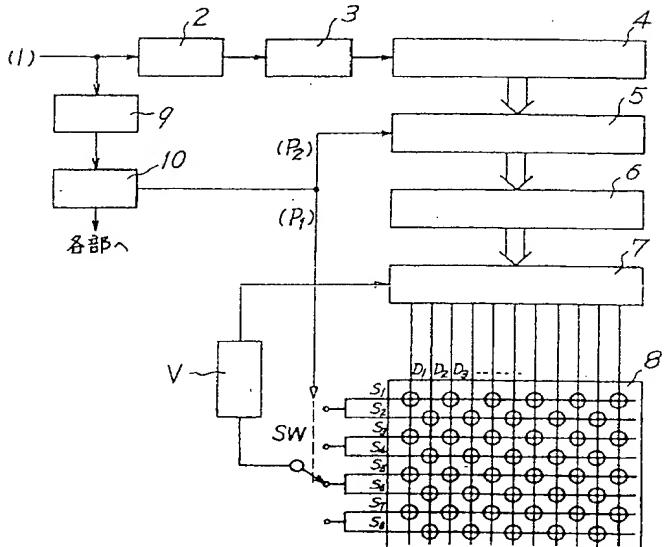
第6図

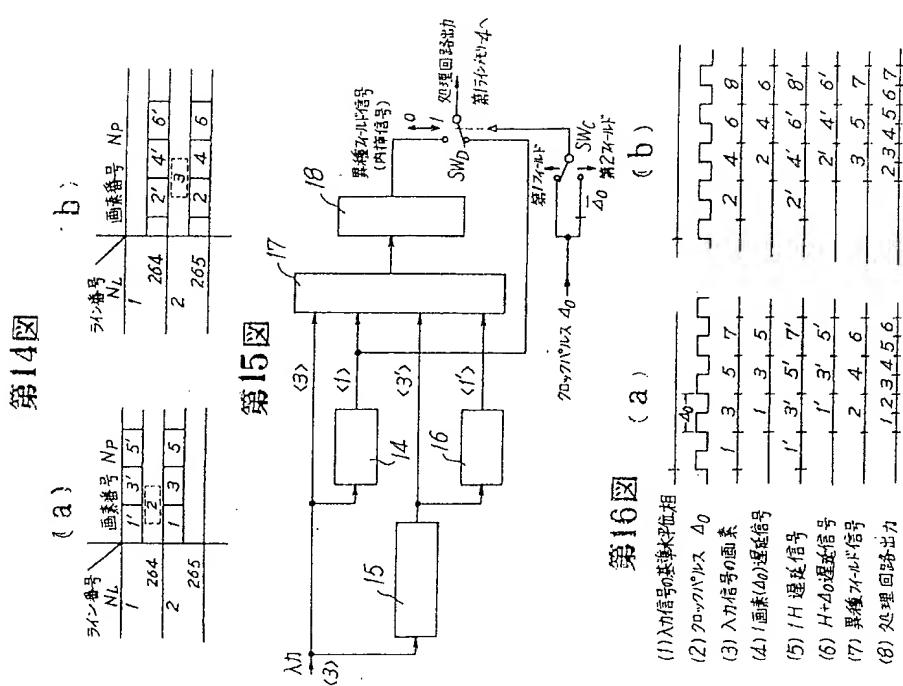


第5図



第7図





5. 添附書類の目録

(1)	明	細	書	1	通
(2)	圓		面	1	通
(3)	粗	普	糊	1	疎
(4)	委	任	狀	1	通

6. 前記以外の発明者、特許出願人または代理人

(1) 分明者

セタガヤクヤヌ
東京都世田谷区砧一丁目10番11号
ニホンホウソウギョウカイソウガガシンケンキュウショナイ
日本放送協会総合技術研究所内

方々 千谷 純武 丈夫

· 同 所

スズキ 木下 光 茂

(2) 代理人

居 所 東京都千代田区霞が関 3 丁目 2 桜 4 号
郵便番号 100

霞山ビルディング7階 電話(581)2241番(代波) 新規開設
(7205) 氏名 井理士 杉 村 興 作 治理